

## METHOD FOR FORMING GUARD RING REGION OF SEMICONDUCTOR SUBSTRATE

Patent Number: **JP5206264**  
Publication date: **1993-08-13**  
Inventor(s): **SUZUKI YUJI**  
Applicant(s):: **MATSUSHITA ELECTRIC WORKS LTD**  
Requested Patent: **JP5206264**  
Application Number: **JP19920012436 19920127**  
Priority Number(s):  
IPC Classification: **H01L21/76 ; H01L21/22**  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To provide a method for forming a guard ring region having a sufficient field effect alleviating function on a semiconductor substrate in a short processing time.

**CONSTITUTION:** After an impurity diffused region 5 for a guard ring region is formed on an inner surface of a groove of a semiconductor substrate 1 having the groove 3 formed at a place where the ring region is to be formed by anisotropically etching, the substrate is oxidized, the oxide film covering at least the inner surface of the groove is removed, and then an oxide film 9 is again formed on the inner surface of the groove.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

[特許請求の範囲]

【請求項1】ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽を有する半導体基板の前記凹槽の内面部分にガードリーニング領域用の不純物嵌入部を形成した後、半導体基板に対し酸化処理を行い、凹槽を形成しガードリーニング領域9 1、9 1を形成させることで、少なくとも凹槽の内面を覆う酸化膜を形成する。この後、図1に示すように、凹槽9 6の内面に酸化処理等で絶縁膜9 7を形成したり、凹槽9 6を絶縁材で埋めたりする。しかしながら、上記の改善策は、凹槽の深さ分だけ実験の絶縁距離が短縮され改善時間は短くなるけれども、完成したガードリーニング領域の境界部と埋められた耐圧を向上させられないという別の問題を生じる。

【発明の詳細な説明】  
【産業上の利用分野】この発明は、半導体装置の製造に用いられる半導体基板におけるガードリーニング領域の形成方法に関する。

【00011】【産業上の利用分野】この発明は、半導体装置の製造に用いられる半導体基板におけるガードリーニング領域の形成方法に関する。

【00012】【従来の技術】半導体装置の高耐圧化方法として、図6に示すように、半導体基板8 1の活性領域(電子子形成部)Eの側にガードリーニング領域9 1を設ける方法がある。半導体基板8 1のノード領域の表面部分に活性領域Eを用ひるように逆導電型のp+型不純物嵌入部を形成するのである。図6の半導体装置の場合、活性領域Eに対して必要な領域が形成されている。8 2はp+型のゲート領域、8 3はn+型のカソード領域、8 4はp+のアノード領域、8 5はn-型のベース領域である。

【00013】そして、電子子の主電流遮断時には、図7に示すように、半導体基板8 1の活性領域Eから外側のノード領域に伸びる空乏層Hがガードリーニング領域9 1があることにより広がって電界が緩和され耐圧が高まるのである。半導体装置の仕様(主電流遮断電圧、耐圧など)でガードリーニング領域9 1の本数は異なる。1本のガードリーニング領域9 1で出来る電界緩和の程度は、9 1回士の開隔L 1やガードリーニング領域の深さL 2、不純物濃度、品質等で決まる。開隔L 1や深度が適当であればガードリーニング領域9 1の深さに比例して耐圧が増すため、従来の高耐圧半導体装置ではガードリーニング領域の形成する時間と占有面積が増加し、価格面で問題となっていた。

【00014】一方、最近、半導体装置では、集積度の向上、オーバー電圧の改善等の半導体装置の性能を向上するこれが試みられており、これに伴い活性領域内の各領域とが必ず別の工程で形成しなければならない。

【00015】そこで、以下のようないか改善策が検討されている。まず、図8に示すように、半導体基板8 1の表面にガードリーニング領域を形成しておいて、ガードリーニング領域形成位置を覆う酸化膜9 3を部分的にエッチング

去し窓9 4を開け、これをマスクにして異方性エッチングを行い、図9に示すように、凹槽(トレンチ)9 5を形成する。

【00016】ついで、図10に示すように、不純物嵌入部を形成を行い、凹槽9 6の内面部分にp+型不純物嵌入部を形成しガードリーニング領域9 1、9 1を形成させる。この後、図1に示すように、凹槽9 6の内面に酸化処理等で絶縁膜9 7を形成したり、凹槽9 6を絶縁材で埋めたりする。しかしながら、上記の改善策は、凹槽の深さ分だけ実験の絶縁距離が短縮され改善時間は短くなるけれども、完成したガードリーニング領域の境界部と埋められた耐圧を向上させられないという別の問題を生じる。

【00017】【発明が解決しようとする課題】この発明は、上記事情に鑑み、十分な電界緩和機能と有するガードリーニング領域を形成するため半導体基板に形成することができる方法を提供することを目的とする。

【00018】【課題を解決するための手段】前記課題を解決するためガードリーニング領域を形成するため、この発明にかかる半導体基板におけるガードリーニング領域の形成方法では、ガードリーニング領域を形成する半導体基板により形成した凹槽を有する半導体基板の前記凹槽の内面部分にガードリーニング領域用の不純物嵌入部を形成した後、半導体基板に形成する半導体基板を用ひてから、少なくとも凹槽の内面を覆う酸化膜を形成しておいてから、少なくとも凹槽の内面に酸化膜を形成する。

【00019】この発明で作製するガードリーニング領域も、従来と同様、半導体基板の活性領域を用ひるように形成される。ガードリーニング領域の形成本数は、1本の場合もあり、複数本の場合もある。本数は必要に応じて決定する。活性領域Eに対して必要な半導体電子の種類は、半導体基板半導体装置、DMS-ETを始め可でもよく、特に限定されない。

【00020】半導体基板の表面に形成する凹槽は、物理的エッチング法、普通、高エネルギーイオン照射方式のプラズマエッチング法が用いられる。

【00021】【発明の名称】半導体基板におけるガードリーニング領域の形成方法

【57】【要約】  
【目的】十分な電界緩和機能を有するガードリーニング領域を短い処理時間でもって半導体基板に形成することができる方法を提供する。

【構成】ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽9 2を有する半導体基板1の前記凹槽の内面部分にガードリーニング領域用の不純物嵌入部9 5を形成した後、半導体基板1に酸化処理を行い、ついで、少なくとも凹槽の内面を覆う酸化膜9 3を改めて形成するように対する半導体基板におけるガードリーニング領域の形成方法。

【00022】【従来の技術】半導体装置の高耐圧化方法として、図6に示すように、半導体基板8 1の活性領域(電子子形成部)Eの側にガードリーニング領域9 1を設ける方法がある。半導体基板8 1のノード領域の表面部分に活性領域Eを用ひるように逆導電型のp+型不純物嵌入部を形成するのである。図6の半導体装置の場合、活性領域Eに対して必要な領域が形成されている。8 2はp+型のゲート領域、8 3はn+型のカソード領域、8 4はp+のアノード領域、8 5はn-型のベース領域である。

【00023】そして、電子子の主電流遮断時には、図7に示すように、半導体基板8 1の活性領域Eから外側のノード領域に伸びる空乏層Hがガードリーニング領域9 1があることにより広がって電界が緩和され耐圧が高まるのである。半導体装置の仕様(主電流遮断電圧、耐圧など)でガードリーニング領域9 1の本数は異なる。1本のガードリーニング領域9 1で出来る電界緩和の程度は、9 1回士の開隔L 1やガードリーニング領域の深さL 2、不純物濃度、品質等で決まる。開隔L 1や深度が適当であればガードリーニング領域9 1の深さに比例して耐圧が増すため、従来の高耐圧半導体装置ではガードリーニング領域の形成する時間と占有面積が増加し、価格面で問題となっていた。

【00024】一方、最近、半導体装置では、集積度の向上、オーバー電圧の改善等の半導体装置の性能を向上するこれが試みられており、これに伴い活性領域内の各領域とが必ず別の工程で形成しなければならない。

【00025】そこで、以下のようないか改善策が検討されている。まず、図8に示すように、半導体基板8 1の表面にガードリーニング領域を形成しておいて、ガードリーニング領域形成位置を覆う酸化膜9 3を部分的にエッチング

【00026】ついで、図1に示すように、不純物嵌入部を形成しガードリーニング領域9 1、9 1を形成させる。この後、図1に示すように、凹槽9 6の内面に酸化処理等で絶縁膜9 7を形成したり、凹槽9 6を絶縁材で埋めたりする。しかしながら、上記の改善策は、凹槽の深さ分だけ実験の絶縁距離が短縮され改善時間は短くなるけれども、完成したガードリーニング領域の境界部と埋められた耐圧を向上させられないという別の問題を生じる。

【00027】【発明が解決しようとする課題】この発明は、上記事情に鑑み、十分な電界緩和機能と有するガードリーニング領域を形成するため半導体基板に形成するガードリーニング領域の形成方法では、ガードリーニング領域を形成する位置にガードリーニング領域用の不純物嵌入部を形成した後、半導体基板に形成する半導体基板を用ひてから、少なくとも凹槽の内面を覆う酸化膜を形成しておいてから、少なくとも凹槽の内面に酸化膜を形成する。

【00028】【課題を解決するための手段】前記課題を解決するためガードリーニング領域を形成するため、この発明にかかる半導体基板におけるガードリーニング領域の形成方法では、ガードリーニング領域を形成する半導体基板により形成した凹槽を有する半導体基板を用ひて形成するため半導体基板の前記凹槽の内面部分にガードリーニング領域用の不純物嵌入部を形成した後、半導体基板に形成する半導体基板を用ひてから、少なくとも凹槽の内面を覆う酸化膜を形成する。

【00029】この発明で作製するガードリーニング領域も、従来と同様、半導体基板の活性領域を用ひるように形成される。ガードリーニング領域の形成本数は、1本の場合もあり、複数本の場合もある。本数は必要に応じて決定する。活性領域Eに対して必要な半導体電子の種類は、半導体基板半導体装置、DMS-ETを始め可でもよく、特に限定されない。

【00030】半導体基板の表面に形成する凹槽は、物理的エッチング法、普通、高エネルギーイオン照射方式のプラズマエッチング法が用いられる。

【00031】【発明の名称】半導体装置の構成

【00032】【目的】十分な電界緩和機能を有するガードリーニング領域を短い処理時間でもって半導体基板に形成することができる方法を提供する。

【構成】ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽9 2を有する半導体基板1の前記凹槽の内面部分にガードリーニング領域用の不純物嵌入部9 5を形成した後、半導体基板1に酸化処理を行い、ついで、少なくとも凹槽の内面を覆う酸化膜9 3を改めて形成するように対する半導体基板におけるガードリーニング領域の形成方法。

【00033】【従来の技術】この発明では、ガードリーニング領域を凹槽の内面に形成するため半導体基板におけるガードリーニング領域用の不純物嵌入部の深さは同じでも、凹槽の深さ分だけ実験の不純物嵌入部が短縮され、短い放置時間でガードリーニング領域が形成できる。その結果、活性領域を形成される不純物嵌入部との同時形成も可能となる。

【00034】この発明では、ガードリーニング領域を形成するため、半導体基板におけるガードリーニング領域の深さは同じでも、凹槽の深さ分だけ実験の不純物嵌入部が短縮され、短い放置時間でガードリーニング領域が形成できる。これを除くことにより不良部分を除くのである。この不良部分は異方性エッチングの際の高エネルギーイオ

ンで損傷した部分であり、これがそのままだとガードリング領域は面やその上の酸化膜部分が良品でなくなり、

ガードリング領域が正常な電界緩和機能を保有できなくな。この発明の場合は、この損傷部分を除去してしまうため、完成したガードリング領域が所定の電界緩和機能を向上させられるのである。

【0013】

【実施例】以下、この発明の実施例を図面を参照しながら詳しく述べる。この発明は、下記の実施例に限らないことは言うまでもない。まず、図2に示すように、表面が酸化膜2で覆われた半導体基板1の酸化膜2の上にレジストマスク2.1を設けておいて、ガードリング領域2.2を開ける。

【0014】ついで、図2.2の開いた酸化膜2をマスクにして、高エネルギーイオン照射による風扇性エンチンクを行い、図3にみると、凹槽3を半導体基板1のガードリング領域形成位置に設ける。凹槽3内表面から2000A程度の深さの部分(斜面部分)が高エネルギーイオンによる損傷部である。凹槽3を形成してから、図4にみると、P型不純物導入・拡散を行い、凹槽3の内面部分にP+型不純物酸化膜等を形成しガードリング領域6を設けた後、熱酸化処理で高エネルギーイオンによる損傷部を酸化し酸化膜6に変えてしまう。伝統深さはL2でも実際の伝統深さL3と遙に短い。

【0015】次に、図5にみると、必要部分を残すレジストマスク2.5を設けてエッチング処理し凹槽3内面の酸化膜6を除去し損傷不純物をやり去ったのち、酸化又はCVD法の酸化膜形成工程を図1にみると、正常な(良品の)酸化膜9を形成すればガードリング構造の完成である。この発明の方法によるガードリング領域は不純物酸化膜等が短いために普通は活性領域の各領域を形成した後に実施するのとよがい、これに限らず、活性領域における同じ導電型の不純物酸化膜領域の形成と同時によい。

【0016】例えば、表面ゲート型静電構造半導体装置の場合、ゲート領域はガードリング領域と同じ導電型であるから、ゲート領域もガードリング領域と同様に形成位置に凹槽を設ける方法をとれば、ゲート領域およびガ

ードリング領域の伝統深さは短縮され両領域の同時形成が可能となる。

【0017】

【発明の効果】以上に述べたように、この発明の方法によれば、凹槽の深さ分に応じて実際の不純物酸化膜が短縮されため、從来と変わらない深さのガードリング領域を短い処理時間で形成でき、しかも、異方性エッチングの際の高エネルギーイオンによる損傷部分が除去されているため、完成したガードリング領域が所定の電界緩和機能を発揮するから、この発明は非常に有用である。

【図面の簡単な説明】

【図1】この発明の実施例で形成したガードリング領域をあらわす概略断面図である。

【図2】実施例における酸化膜の整開け工程を示す概略断面図である。

【図3】実施例における凹槽形成工程を示す概略断面図である。

【図4】実施例における凹槽内面に対する酸化工程を示す概略断面図である。

【図5】実施例における凹槽内面の酸化膜形成工程を示す概略断面図である。

【図6】ガードリング領域が設けられた半導体装置をあらわす概略断面図である。

【図7】図6の部分拡大断面図である。

【図8】従来法における凹槽内面の酸化膜形成工程を示す概略断面図である。

【図9】ガードリング領域が設けられた半導体装置をあらわす概略断面図である。

【図10】従来法における凹槽内面の酸化膜形成工程を示す概略断面図である。

【図11】従来法における凹槽内面の酸化膜形成工程を示す概略断面図である。

【符号の説明】

1 半導体基板

3 凹槽

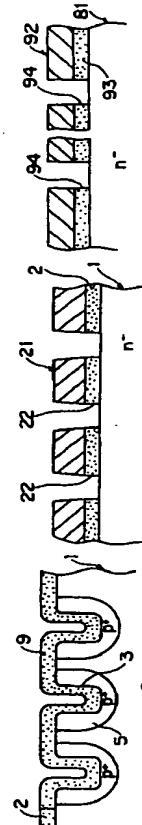
5 ガードリング領域

6 酸化膜

9 酸化膜

【図1】

【図2】



【図3】

【図4】

【図5】

【図6】

【図7】

【図8】

【図9】

【図10】

【図11】